

**PAT-NO: JP02001189419A**

**DOCUMENT-IDENTIFIER: JP 2001189419 A**

**TITLE: MANUFACTURING METHOD FOR THREE-DIMENSIONAL SEMICONDUCTOR  
INTEGRATED CIRCUIT DEVICE**

**PUBN-DATE: July 10, 2001**

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>KOYANAGI, MITSUMASA</b>	<b>N/A</b>
<b>OKANO, TAISUKE</b>	<b>N/A</b>
<b>MIYAGAWA, NOBUAKI</b>	<b>N/A</b>

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>KOYANAGI MITSUMASA</b>	<b>N/A</b>
<b>FUJI XEROX CO LTD</b>	<b>N/A</b>

**APPL-NO: JP11375619**

**APPL-DATE: December 28, 1999**

**INT-CL (IPC): H01L027/00**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide multiple lamination of a semiconductor substrate using a simple and easy process, where no mounting/dismounting process for a support board is required for simplified manufacturing

**process,  
and to form an embedded wiring enclosed with a reliable insulating film.**

**SOLUTION: A first semiconductor substrate 20, where a first integrated circuit is formed on the surface layer and a second semiconductor substrate 30 where a second integrated circuit is formed on a surface layer, without the use of a support board, etc., are bonded directly together, while integrated circuit surfaces are faced each other so that the first and second integrated circuits are electrically connected together. After the first and second semiconductor substrates 20 and 30 are bonded together, the backside of the second semiconductor substrate 30 is polished, so that an embedded wiring 48, where one end is electrically connected to at least one of the first and second integrated circuits while the other end is exposed on the backside of the second semiconductor substrate 30 is formed on the second semiconductor substrate 30. An integrated circuit surface of a third semiconductor substrate 40, where a third integrated circuit is formed on a surface layer is bonded to the backside of the second semiconductor substrate 30, so that the third integrated circuit is connected electrically to the exposed part of the embedded wiring 48.**

**COPYRIGHT: (C)2001,JPO**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189419

(P2001-189419A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl.

H 0 1 L 27/00

識別記号

3 0 1

F I

H 0 1 L 27/00

キーワード (参考)

3 0 1 B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平11-375619

(22) 出願日 平成11年12月28日 (1999.12.28)

(71) 出願人 591272974

小柳 光正

宮城県名取市ゆりが丘1-22-5

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 小柳 光正

宮城県名取市ゆりが丘1-22-5

(72) 発明者 岡野 泰典

神奈川県足柄上郡中井町境430 グリーン

テクノかい 富士ゼロックス株式会社内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

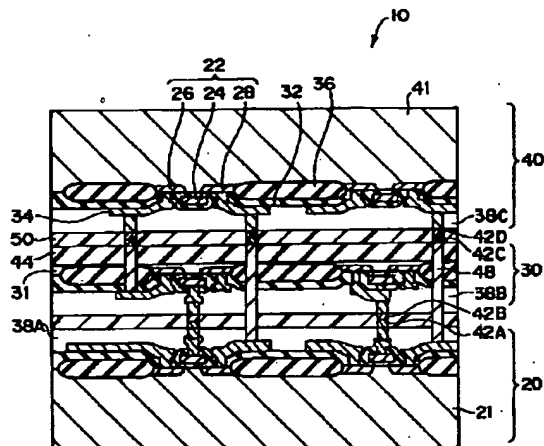
最終頁に続く

(54) 【発明の名称】 3次元半導体集積回路装置の製造方法

(57) 【要約】

【課題】 支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により半導体基板の多層積層を可能にする。信頼性の高い絶縁膜で囲まれた埋め込み配線を形成する。

【解決手段】 支持基板等を用いることなく、表層に第1の集積回路が形成された第1の半導体基板20と、表層に第2の集積回路が形成された第2の半導体基板30とを、第1の集積回路と第2の集積回路とが電氣的に接続されるように、集積回路面同士を対向させて直接接着する。第1の半導体基板20と第2の半導体基板30とを接着した後、第2の半導体基板30の裏面側を研磨し、第2の半導体基板30に一端が第1の集積回路及び前記第2の集積回路の少なくとも一方に電氣的に接続され第2の半導体基板30の裏面側に他端が露出した埋め込み配線48を形成し、表層に第3の集積回路が形成された第3の半導体基板40の集積回路面を該第3の集積回路が前記埋め込み配線48の露出部に電氣的に接続されるように第2の半導体基板30の裏面側に接着する。



## 【特許請求の範囲】

【請求項1】 表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成された半導体基板とを、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路同士を対向させて接着し、

第2の半導体基板の裏面側を研磨し、

第2の半導体基板に、一端が前記第1の集積回路及び前記第2の集積回路の少なくとも一方に電気的に接続され、第2の半導体基板の裏面側に他端が露出した埋め込み配線を形成し、

表層に第3の集積回路が形成された第3の半導体基板の集積回路面を、該第3の集積回路が前記埋め込み配線の露出部に電気的に接続されるように、前記第2の半導体基板の裏面側に接着して、3次元半導体集積回路装置を製造する3次元半導体集積回路装置の製造方法。

【請求項2】 第2の半導体基板が二酸化ケイ素からなる絶縁層を内部に含むシリコン基板であり、第2の半導体基板の裏面側を該絶縁層まで研磨する請求項1に記載の3次元半導体集積回路装置の製造方法。

【請求項3】 第2の半導体基板に設けられた絶縁領域を貫通するように前記埋め込み配線を形成する請求項1または2に記載の3次元半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、3次元半導体集積回路装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体集積回路装置の高集積化・高密度化等の目的から、複数の回路機能ブロックを立体的に集積した3次元半導体集積回路装置の開発が進められている。3次元半導体集積回路装置は、当初はレーザ再結晶化等によるSOI (Silicon On Insulator) 技術を利用して、SOI基板形成とSOI基板への半導体装置の形成を繰り返すモノリシック法によりその製造が検討されてきたが、SOIを多層に積層するには、結晶性の確保が難しい、製造時間が長い等の問題があった。

【0003】このため、半導体装置または半導体集積回路装置が予め作製された単結晶半導体基板を貼り合わせる、貼り合わせ技術による3次元半導体集積回路装置の製造が種々検討されている。

【0004】月刊セミコンダクターワールド(林善宏等、1990年9月号p58~64)には、貼り合わせ技術の一種として、研磨により薄膜化した半導体基板を貼り合わせるCUBIC技術が提案されている。CUBIC技術では、まずシリコン基板上に半導体素子が形成された第1の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する。次に、埋め込み配線、裏面配線、パンプ/プールからなるコン

タクト部材等のデバイスの縦方向の接続に必要な配線を形成し、第1の半導体基板とシリコン基板上に半導体素子の形成された第2の半導体基板とを貼り合わせる。最後に、支持基板を取り外して多層構造の半導体装置が完成する。

【0005】また、特開平6-260594号公報には、貼り合わせ技術により形成された3次元半導体集積回路装置が開示されている。シリコン基板上に半導体素子が形成された第1の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化するのはCUBIC技術と同様であるが、第1の半導体基板に予め埋め込み配線を形成するための深溝が設けられている点、及び第1の半導体基板とシリコン基板上に半導体素子の形成された第2の半導体基板とを貼り合わせ、貼り合わせ後に支持基板を取り除き埋め込み配線を形成する点で、CUBIC技術とは異なっている。

## 【0006】

【発明が解決しようとする課題】しかしながら、いずれの製造方法も、第1の半導体基板を支持基板に貼り合わせ、研磨した後に支持基板から剥離する工程を含んでおり、製造工程が煩雑であるという問題があった。

【0007】また、CUBIC技術では、余分なシリコン基板をポリッシングして薄膜化した後に支持基板を取り除くため、支持基板を取り除く際に半導体基板上に形成された集積回路が破損する、という問題があった。

【0008】また、特開平6-260594号公報に開示の技術では、埋め込み配線を形成するための深溝が予め設けられた第1の半導体基板を支持基板に接着するため、深溝に入り込んだ接着剤の除去が困難である、という問題や、第1の半導体基板と第2の半導体基板とを接着した後に深溝の側壁を酸化して絶縁膜を形成するため、接着剤の耐熱温度以上に酸化温度を上げることができず、信頼性のある絶縁膜を形成することができないという問題があった。

【0009】従って、本発明の目的は、支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により半導体基板の多層積層が可能である3次元半導体集積回路装置の製造方法を提供することにある。また、本発明の他の目的は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる3次元半導体集積回路装置の製造方法を提供することにある。

## 【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の3次元半導体集積回路装置の製造方法は、表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成された半導体基板とを、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路同士を対向させて接着し、第2の半導体基板の裏面側を研磨し、第2の半導体基板

に、一端が前記第1の集積回路及び前記第2の集積回路の少なくとも一方に電気的に接続され、第2の半導体基板の裏面側に他端が露出した埋め込み配線を形成し、表層に第3の集積回路が形成された第3の半導体基板の集積回路面を、該第3の集積回路が前記埋め込み配線の露出部に電気的に接続されるように、前記第2の半導体基板の裏面側に接着して、3次元半導体集積回路装置を製造することを特徴とする。

【0011】本発明の3次元半導体集積回路装置の製造方法は、支持基板等を用いることなく、表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成された半導体基板とを、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面同士を対向させて直接接着するため、支持基板への接着工程、および支持基板からの除去工程が不要であり、製造工程を大幅に簡略化することができる。また、埋め込み配線が基板を貫通するように形成されるため、基板厚さをある程度厚くすることができる。

【0012】また、本発明では、第1の半導体基板と第2の半導体基板とを接着した後、第2の半導体基板の裏面側を研磨し、第2の半導体基板に、一端が前記第1の集積回路及び前記第2の集積回路の少なくとも一方に電気的に接続され第2の半導体基板の裏面側に他端が露出した埋め込み配線を形成し、表層に第3の集積回路が形成された第3の半導体基板の集積回路面を該第3の集積回路が前記埋め込み配線の露出部に電気的に接続されるように前記第2の半導体基板の裏面側に接着する、接着、研磨、及び埋め込み配線の形成という簡素かつ容易な工程により、3次元半導体集積回路装置を製造することができる。

【0013】なお、第3の半導体基板の裏面側をさらに研磨し、第3の半導体基板に、一端が前記第1の集積回路、前記第2の集積回路、及び前記第3の集積回路の少なくとも1つに電気的に接続され第3の半導体基板の裏面側に他端が露出した埋め込み配線を形成し、表層に第4の集積回路が形成された第4の半導体基板の集積回路面を、該第4の集積回路が前記埋め込み配線の露出部に電気的に接続されるように前記第3の半導体基板の裏面側に接着すれば、4層構成の3次元半導体集積回路装置を製造することができ、上記の工程を繰り返すことによ

って5層以上の3次元半導体集積回路装置を製造することができる。

【0014】第2の半導体基板が二酸化ケイ素からなる絶縁層を内部に含むシリコン基板であり、第2の半導体基板の裏面側を該絶縁層まで研磨することが好ましい。半導体基板として二酸化ケイ素からなる絶縁層を内部に含むシリコン基板を用いると、二酸化ケイ素はシリコンに比べて硬度が高いため研磨されにくく、絶縁層の手前で研磨を止めることが容易になる。

【0015】また、第2の半導体基板に設けられた絶縁

領域を貫通するように前記埋め込み配線を形成することが好ましい。第2の半導体基板に設けられた絶縁領域を貫通するように前記埋め込み配線を形成すると、埋め込み配線の周囲には絶縁領域が存在するため、別途、絶縁膜を形成する必要がない。

【0016】

【発明の実施の形態】以下、本発明の3次元半導体集積回路装置の製造方法を、図面を参照しつつ具体的に説明する。図1～図5は、3次元半導体集積回路装置10の製造工程を示す断面図である。

【0017】まず、図2に示すように、シリコン基板21に集積回路が形成された第1の半導体基板20と、SOI基板に集積回路が形成された第2の半導体基板30とを、集積回路面同士が対向するように接着する。

【0018】第1の半導体基板20を作製するためには、基板上に絶縁膜32により絶縁されたゲート24、ソース26、及びドレイン28からなる複数のMOSFET22（本実施の形態では2つのMOSFETを図示する）が形成され、隣接するMOSFET22が二酸化ケイ素からなる素子分離膜36で分離されたシリコン基板21を用意する。なお、ゲート24、ソース26、及びドレイン28上の絶縁膜32には、電極引き出し用のコンタクトホールがそれぞれ設けられている。

【0019】MOSFET22が形成されたシリコン基板21上に、スパッタリングにより配線となるアルミニウム膜を形成し、コンタクトホールを埋める。フォトリソグラフィによりアルミニウム膜を加工して、所定のパターンに整形されたアルミニウム配線34を形成する。これによって、第1の半導体基板20の表層に第1の集積回路が形成される。

【0020】形成された第1の集積回路上に、二酸化ケイ素からなる絶縁膜38Aを堆積させて第1の集積回路を被覆し、第1の半導体基板20の集積回路面側の表面を平坦化する。絶縁膜38Aに開口を設け、絶縁膜38で覆われたアルミニウム配線34の一部を延長して表面に露出させる。最後に、露出したアルミニウム配線34と接触するように、集積回路面側の表面に、レジストマスクを用いたリフトオフにより、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンパ42Aを形成して、第1の半導体基板20を得る。なお、本実施の形態では絶縁膜38Aの材料には二酸化ケイ素を用いたが、他の絶縁性無機材料やポリイミド等の絶縁性有機材料を用いてもよい。

【0021】第2の半導体基板30を作製するために、二酸化ケイ素からなる絶縁層44が内部に形成されたSOI基板を用いて、基板上に絶縁膜32により絶縁されたゲート24、ソース26、及びドレイン28からなる複数のMOSFET22（本実施の形態では2つのMOSFETを図示する）が形成され、隣接するMOSFET22が二酸化ケイ素からなる素子分離膜36で分離さ

れたシリコン基板31を用意する。なお、ゲート24、ソース26、及びドレイン28上の絶縁膜32には、電極引き出し用のコンタクトホールがそれぞれ設けられている。

【0022】MOSFET22が形成されたシリコン基板31上に、スパッタリングにより配線となるアルミニウム膜を形成し、コンタクトホールを埋める。フォトリソグラフィーによりアルミニウム膜を加工して、所定のパターンに整形されたアルミニウム配線34を形成する。これによって、第2の半導体基板30の表層に第2の集積回路が形成される。

【0023】形成された第2の集積回路上に、二酸化ケイ素からなる絶縁膜38Bを堆積させて第2の集積回路を被覆し、第2の半導体基板30の集積回路面側の表面を平坦化する。レジストマスクを用いて、絶縁膜38Bに反応性イオンエッチングにより開口を設け、絶縁膜38で覆われたアルミニウム配線34の一部を延長して表面に露出させる。最後に、露出したアルミニウム配線34と接触するように、集積回路面側の表面に、レジストマスクを用いたリフトオフにより、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンパ42Bを形成して、第2の半導体基板30を得る。なお、本実施の形態では絶縁膜38Bの材料には二酸化ケイ素を用いたが、他の絶縁性無機材料やポリイミド等の絶縁性有機材料を用いてもよい。

【0024】図1に示すように、第1の半導体基板20の集積回路面側の表面に設けられたマイクロバンパ42Aと、第2の半導体基板30の集積回路面側の表面に設けられたマイクロバンパ42Bと、が接触するように、第2の半導体基板30上に第1の半導体基板20を重ね合わせ、マイクロバンパ42Aとマイクロバンパ42Bとの仮接着を強固にするため、ロードセルにより圧力をモニターしながら基板間を均一に加圧する。なお、第1の半導体基板20と第2の半導体基板30との位置合わせは、シリコンウエハを透過することができる赤外線を用いた位置合わせ装置により行う。

【0025】仮接着した第1の半導体基板20と第2の半導体基板30を、液状のエポキシ樹脂を保持した容器と共に気圧調整が可能なチャンバーに入れて、チャンバー内を真空にし、仮接着した第1の半導体基板20と第2の半導体基板30の一部を、液状のエポキシ樹脂にディップする。その後常圧に戻し、基板間の隙間のマイクロバンパの存在しない部分に液状のエポキシ樹脂50を注入する。基板を引き上げた後にエポキシ樹脂50を硬化させて、図2に示すように、第2の半導体基板30の集積回路面側を第1の半導体基板20の集積回路面側に接着する。

【0026】次に、第2の半導体基板30を裏面側から研磨して薄膜化する。

【0027】第1の半導体基板20と貼り合わせた後の

第2の半導体基板30を、裏面側から化学的機械研磨により均一な厚さに研磨する。絶縁層44を構成する二酸化ケイ素はシリコンよりも研磨耐性が大いため、図3に示すように、研磨は絶縁層44の手前で止まり絶縁層44が露出する。また、このとき第1の半導体基板20が支持基板の役割を果たすが、後で取り外されることはない。

【0028】次に、第2の半導体基板30の隣接する2つのMOSFETの間において、絶縁層44と素子分離膜36とが連続している絶縁領域に、プラズマエッチングにより、第2の半導体基板30の裏面側表面から第1の半導体基板20または第2の半導体基板30のアルミニウム配線34に達するトレンチ（深溝）を設ける。図4に示すように、このトレンチに例えばタングステンのような高融点の金属を導電材料として充填して、埋め込み電極48を形成する。裏面側に露出した埋め込み配線48と接触するように、第2の半導体基板30の裏面側の表面に、レジストマスクを用いたリフトオフにより、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンパ42Cを形成する。

【0029】次に、図5に示すように、第3の半導体基板40の集積回路面を、第3の集積回路が埋め込み配線48の露出部に電氣的に接続されるように、第2の半導体基板30の裏面側に接着する。

【0030】第3の半導体基板40を作製するために、基板上に絶縁膜32により絶縁されたゲート24、ソース26、及びドレイン28からなる複数のMOSFET22（本実施の形態では3つのMOSFETを図示する）が形成され、隣接するMOSFET22が二酸化ケイ素からなる素子分離膜36で分離されたシリコン基板41を用意する。なお、ゲート24、ソース26、及びドレイン28上の絶縁膜32には、電極引き出し用のコンタクトホールがそれぞれ設けられている。

【0031】MOSFET22が形成されたシリコン基板41上に、スパッタリングにより配線となるアルミニウム膜を形成し、コンタクトホールを埋める。フォトリソグラフィーによりアルミニウム膜を加工して、所定のパターンに整形されたアルミニウム配線34を形成する。これによって、第3の半導体基板40の表層に第3の集積回路が形成される。

【0032】形成された第3の集積回路上に、二酸化ケイ素からなる絶縁膜38Cを堆積させて第3の集積回路を被覆し、第3の半導体基板40の集積回路面側の表面を平坦化する。絶縁膜38Cに開口を設け、絶縁膜38で覆われたアルミニウム配線34の一部を延長して表面に露出させる。最後に、露出したアルミニウム配線34と接触するように、集積回路面側の表面に、レジストマスクを用いたリフトオフにより、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンパ42Dを形成して、第3の半導体基板40を得

る。なお、本実施の形態では絶縁膜38Cの材料には二酸化ケイ素を用いたが、他の絶縁性無機材料やポリイミド等の絶縁性有機材料を用いてもよい。

【0033】第2の半導体基板30の裏面側の表面に設けられたマイクロバンパ42Cと、第3の半導体基板40の集積回路面側の表面に設けられたマイクロバンパ42Dと、が接触するように、第3の半導体基板40上に第2の半導体基板30を重ね合わせ、マイクロバンパ42Cとマイクロバンパ42Dとの仮接着を強固にするため、ロードセルにより圧力をモニターしながら基板間を均一に加圧する。

【0034】仮接着した第2の半導体基板30と第3の半導体基板40との隙間に液状のエポキシ樹脂50を注入し、エポキシ樹脂50を硬化させて、第3の半導体基板40の集積回路面側を、第2の半導体基板30の裏面側に接着する。なお、第2の半導体基板30と第3の半導体基板40との位置合わせ及び接着の方法は、第1の半導体基板20と第2の半導体基板30とを接着する場合と同様である。

【0035】以上の工程により、第1の半導体基板20、第2の半導体基板30、及び第3の半導体基板40の3つの半導体基板から構成され、第1の半導体基板20上に第2の半導体基板30が積層され、第2の半導体基板30上に第3の半導体基板40が積層された3次元半導体集積回路装置10を得ることができる。

【0036】上記実施の形態では、第3の半導体基板に二酸化ケイ素からなる絶縁層を含まないシリコン基板を使用して、3層構成の3次元半導体集積回路装置を作製する例について説明したが、第3の半導体基板を裏面側から研磨した後、第3の半導体基板へ埋め込み配線を形成することにより、さらに第4の半導体基板の積層が可能となり、4層以上の多層構成の3次元半導体集積回路装置を得ることができる。その際、第3の半導体基板に基板内部に二酸化ケイ素からなる絶縁層が内部に形成されたシリコン基板を使用することで、第3の半導体基板の研磨や第3の半導体基板への埋め込み配線の形成が容易になる。

【0037】上記実施の形態では、研磨を受ける第2の半導体基板に使用するシリコン基板として、基板内部に二酸化ケイ素からなる絶縁層が内部に形成されたシリコン基板を使用した。二酸化ケイ素からなる絶縁層を含まないシリコン基板を使用してもよい。

【0038】上記実施の形態では、第1の集積回路と第2の集積回路、及び第3の集積回路と第2の半導体基板

の埋め込み配線の端部を、マイクロバンパを介して電気的に接続したが、他のコンタクト部材により電気的に接続されていても良い。また、上記実施の形態では、半導体基板の両方の表面にマイクロバンパを形成し、対向するマイクロバンパが重なり合うように2つの半導体基板を接着したが、図6に示すように、1つのマイクロバンパを介して電気的に接続されていてもよく、マイクロバンパはいずれか一方の基板に形成されていればよい。

【0039】なお、上記実施の形態において使用するシリコン基板は、ウエハスケールでもチップスケールでもよい。

【0040】

【発明の効果】本発明の3次元半導体集積回路装置の製造方法は、支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により半導体基板の多層積層が可能であるという効果を奏する。また、絶縁領域を貫通するように前記埋め込み配線を形成することで、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができるという効果を奏する。

【図面の簡単な説明】

【図1】本実施の形態の3次元半導体集積回路装置の製造工程を示す概略断面図である。

【図2】本実施の形態の3次元半導体集積回路装置の製造工程を示す概略断面図である。

【図3】本実施の形態の3次元半導体集積回路装置の製造工程を示す概略断面図である。

【図4】本実施の形態の3次元半導体集積回路装置の製造工程を示す概略断面図である。

【図5】本実施の形態の3次元半導体集積回路装置の製造工程を示す概略断面図である。

【図6】本実施の形態の3次元半導体集積回路装置のコンタクト部に関する変形例を示す部分図である。

【符号の説明】

10	3次元半導体集積回路装置
20	第1の半導体基板
30	第2の半導体基板
40	第3の半導体基板
22	MOSFET
34	アルミニウム配線
38A~C	絶縁膜
42A~D	マイクロバンパ
44	絶縁層
48	埋め込み配線
50	エポキシ樹脂

